

INFORMAZIONI PERSONALI

Casu Mario Roberto



POSIZIONE RICOPERTA

Docente e ricercatore universitario in Ingegneria Elettronica presso il Politecnico di Torino

ISTRUZIONE E FORMAZIONE

Laurea in Ingegneria Elettronica
Politecnico di Torino, Torino (Italia)

Dottorato di Ricerca in Ingegneria Elettronica e delle Comunicazioni
Politecnico di Torino, Torino (Italia)

Abilitazione all'esercizio delle professioni di Ingegnere

COMPETENZE PERSONALI

Lingua madre italiano

Altre lingue

	COMPRESIONE		PARLATO		PRODUZIONE SCRITTA
	Ascolto	Lettura	Interazione	Produzione orale	
inglese	C2	C2	C2	C2	C2
francese	C1	C1	C1	C1	B2

Livelli: A1 e A2: Utente base - B1 e B2: Utente autonomo - C1 e C2: Utente avanzato
Quadro Comune Europeo di Riferimento delle Lingue

Competenze comunicative

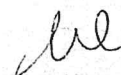
- Ottime competenze comunicative acquisite in dodici anni di insegnamento universitario in lingua italiana e in inglese.
- Ottime competenze comunicative acquisite in diciassette anni di attività come oratore scientifico in congressi internazionali.

Competenze organizzative e gestionali

- Leadership (attualmente responsabile di un gruppo di ricerca costituito da 8 persone)
- Direzione scientifica e tecnica di progetti di ricerca in collaborazione tra Università e imprese

Competenze professionali

- Ottima padronanza della progettazione elettronica tramite sistemi programmabili FPGA.
- Ottima padronanza della progettazione microelettronica di circuiti integrati per applicazioni specifiche ASIC.
- Ottima padronanza nell'uso della strumentazione elettronica di test in laboratorio.
- Buona padronanza nello sviluppo di software in linguaggio C/C++ per la simulazione di sistemi



elettronici.

- Buona padronanza nello sviluppo di firmware per sistemi embedded.
- Ottima competenza nella redazione e revisione di pubblicazioni scientifiche, proposte per progetti di ricerca, rapporti tecnici.

Competenze informatiche

- Buona padronanza dell'uso del pacchetto Microsoft Office.
- Ottima conoscenza del pacchetto LaTeX per composizione testi.
- Buona conoscenza dei sistemi operativi Linux, Mac OS e Windows.
- Ottima conoscenza dei software di progettazione microelettronica prodotti da Cadence, Synopsys e Mentor Graphics.

ULTERIORI INFORMAZIONI

Responsabilità scientifica di progetti di ricerca

Responsabile scientifico per il seguente progetto di ricerca industriale: Contratto di ricerca tra il Dipartimento di Elettronica del Politecnico di Torino e S.E.TEL. SpA: realizzazione di un sistema DSP di processamento massicciamente parallelo di segnali audio digitali basato sull'uso di dispositivi FPGA (2008-2010).

Partecipazione a progetti di ricerca scientifica

- MADESS II (Materiali e Dispositivi Elettronici allo Stato Solido), Sottoprogetto "Tecnologie e Microstrutture per Iperfrequenze e Optoelettronica". Progetto Finalizzato CNR (1998). Durata: 36 mesi. Ruolo ricoperto: Membro.
- Progetto Giovani Ricercatori finanziato dal MURST: "Realizzazione di uno strumento di ausilio al progetto dicircuiti integrati ad alta complessità ed elevate prestazioni: Technology-Driven Approach" (2000). Durata: 12 mesi. Ruolo ricoperto: Membro.
- CERCOM (Centro di Eccellenza per le radiocomunicazioni mobili), finanziato dal MIUR. Partecipazione al workpackage WP3: "Digital architectures and circuits for low power wireless communications" (2001). Durata: 48 mesi. Ruolo ricoperto: Membro.
- EUROSOL (Thematic Network on Silicon on Insulator Technology, Devices and Circuits), Coordination Action del sesto programma quadro (FP6) dell'unione europea (2004). Durata: 24 mesi. Ruolo ricoperto: Membro.
- MICENEA "Un approccio a microonde combinato per la diagnostica precoce del tumore al seno", bando FIRB Futuro in Ricerca 2012. Durata: 48 mesi. Ruolo ricoperto: Membro.

Partecipazione a progetti di ricerca in partnership con aziende

- Contratto di ricerca con LUCENT Technologies: studio e realizzazione di co/decodificatori convoluzionali e "Turbo" tramite prototipi FPGA e circuiti integrati ASIC per impiego nella telefonia UMTS (1999).
- Contratto di ricerca con il Commissariat à l'Energie Atomique (CEA, France): progetto di circuiti integrati in tecnologia SOI (2001).
- Contratto di ricerca con STMicroelectronics (France): "Studio di soluzioni circuitali a basso consumo di potenza o a elevate prestazioni in tecnologie SOI" (2002).
- Contratto di ricerca con S.E.TEL. SpA: realizzazione di un sistema innovativo di commutazione di segnali audio digitali basato sull'uso massicciamente parallelo di dispositivi FPGA (2006-2007).
- Contratto di ricerca con S.E.TEL. SpA: realizzazione di un sistema di elaborazione di segnali digitali video ad alta definizione basato su FPGA ad alte prestazioni (2008-2009).
- Contratto di ricerca in collaborazione con E.S.C. Srl: realizzazione di moduli programmabili per la gestione di stampanti per mezzo di dispositivi FPGA e CPLD (2008).

Conferenze

- Relatore scientifico in 54 convegni internazionali (di cui una relazione invitata) sui temi della progettazione di circuiti microelettronici integrati.
- Keynote speaker al congresso internazionale FMGALS 2007.
- Membro del comitato scientifico dei congressi internazionali FMGALS 2009, SOC 2013 e 2014, NORCHIP 2014.



- Referee per i seguenti congressi internazionali:
 - ACM/IEEE Design Automation Conference (DAC)
 - EDAA Design, Automation, and Test in Europe (DATE)
 - IEEE International Symposium on Circuits and Systems (ISCAS)
 - IEEE International Conference on Ultra-Wideband (ICUWB)
 - International Conference on Embedded Software (EMSOFT)
 - International Workshop on Formal Methods for Globally Asynchronous Locally Synchronous Design (FMGALS)
 - International Symposium on Computer Architecture and High Performance Computing (SBACPAD)
 - IEEE International Symposium on System-on-Chip (SOC)
 - IEEE Norchip Conference (NORCHIP)
 - IEEE/ACM International Conference on Computer-Aided Design (ICCAD)

- | | |
|----------|---|
| Seminari | Seminario tenuto presso il dipartimento di Computer Science della Columbia University (NY) in data 8/2/2011, intitolato: "Adaptive Latency Insensitive Protocols and Elastic Circuits with Early Evaluation: A Comparative Analysis". |
|----------|---|

- | | |
|----------|---|
| Brevetti | Autore di un brevetto depositato negli USA: CASU M.R., FLATRESSE P. (2005). Method and Device for Characterizing a CMOS Logic Cell to Be Produced in a Technology of the Partially Depleted Silicon-on-Insulator Type. US 6871330. |
|----------|---|

- | | |
|--|---|
| Periodi di permanenza all'estero presso istituzioni di prestigio | <ul style="list-style-type: none"> ■ Visiting Scientist presso la Columbia University (New York, NY, USA) da Novembre 2010 a Marzo 2011 ■ Visiting Scholar presso Commissariat à l'Energie Atomique (CEA) – Laboratoire d'Electronique et des Technologies de l'Information (LETI), Grenoble (F), da Aprile 2001 a Ottobre 2001 ■ Visiting Scholar presso ST Microelectronics – Central Research and Development, Crolles (F), da Aprile 2001 a Ottobre 2001 |
|--|---|

- | | |
|------------------------------------|---|
| Appartenenza a gruppi/associazioni | <ul style="list-style-type: none"> ■ Membro dell'associazione internazionale Institute of Electrical and Electronics Engineers (IEEE) ■ Membro dell'associazione internazionale Association for Computing Machinery (ACM) |
|------------------------------------|---|

- | | |
|------------------------|--|
| Riconoscimenti e premi | <ul style="list-style-type: none"> ■ "Best paper nominee" al workshop europeo EUROSOI 2006. ■ Destinatario nel 2007 del premio per 50 giovani ricercatori del Politecnico di Torino, selezionati in base a criteri bibliometrici: premio di 3000 euro da utilizzare per partecipazione a congressi. ■ "Best paper nominee" al congresso internazionale IEEE Symposium on Asynchronous Circuits and Systems (ASYNC), 2010. |
|------------------------|--|

- | | |
|--|--|
| Comitato editoriale riviste internazionali | Referee per le seguenti riviste scientifiche: <ul style="list-style-type: none"> ■ Proceedings of the IEEE ■ IEEE Transactions on Very-Large Scale Integration (VLSI) Systems (TVLSI) ■ IEEE Transactions on Computers (TCOMP) ■ IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD) ■ IEEE Transactions on Vehicular Technology (TVT) ■ IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS) ■ ACM Journal of Emerging Technologies in Computing ■ EURASIP Journal on Embedded Systems ■ IET Circuits, Devices & Systems |
|--|--|



- ELSEVIER Integration, the VLSI Journal (VLSIJ)
- WORLD SCIENTIFIC Journal of Circuits, Systems and Computers
- IEEJ Transactions on Electrical and Electronic Engineering
- ELSEVIER Microelectronics Journal (MEJ)

Pubblicazioni su riviste internazionali

- **CASU M.R.**, Mantovani P., "A synchronous latency-insensitive RISC for better than worst-case design", INTEGRATION, Elsevier, pp. 72-82, 2015, Vol. 48, ISSN: 0167-9260, DOI: 10.1016/j.vlsi.2014.01.003
- Cota E.G., Mantovani P., Petracca M., **CASU M.R.**, Carloni L.P., "Accelerator Memory Reuse in the Dark Silicon Era", IEEE COMPUTER ARCHITECTURE LETTERS, pp. 4, 2014, Vol. 13, ISSN: 1556-6056, DOI: 10.1109/L-CA.2012.29
- Guo X., **CASU M.R.**, Graziano M., Zamboni M., "Simulation and Design of an UWB Imaging System for Breast Cancer Detection", INTEGRATION, Elsevier, pp. 12, 2014, Vol. 47, ISSN: 0167-9260, DOI: 10.1016/j.vlsi.2014.02.001
- Yadav M.K., **CASU M.R.**, Zamboni M., "LAURA-NoC: Local Automatic Rate Adjustment in Network-on-Chips with a Simple DVFS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS. II, EXPRESS BRIEFS, IEEE, pp. 5, 2013, Vol. 60, ISSN: 1549-7747, DOI: 10.1109/TCSII.2013.2277983
- **CASU M.R.**, Colonna F., Crepaldi M., Demarchi D., Graziano M., Zamboni M., "UWB Microwave Imaging for Breast Cancer Detection: Many-Core, GPU, or FPGA?", ACM TRANSACTIONS ON EMBEDDED COMPUTING SYSTEMS, pp. 1-22, 2013, Vol. 13, No. 13s, ISSN: 1539-9087, DOI: 10.1145/2530534
- Colonna F., Graziano M., **CASU M.R.**, Guo X., Zamboni M., "Hardware Acceleration of Beamforming in a UWB Imaging Unit for Breast Cancer Detection", VLSI DESIGN, HINDAWI PUBLISHING CORPORATION, pp. 11, 2013, Vol. 2013, ISSN: 1065-514X, DOI: 10.1155/2013/861691
- **CASU M.R.**, Yadav M.K., Zamboni M., "Power-Gating Technique for Network-on-Chip Buffers", ELECTRONICS LETTERS, IET, pp. 3, 2013, Vol. 49, ISSN: 0013-5194, DOI: 10.1049/el.2013.3225
- **CASU M.R.**, Ruo Roch M., Tota S., Zamboni M., "A NoC-Based Hybrid Message-Passing/Shared-Memory Approach to CMP Design", MICROPROCESSORS AND MICROSYSTEMS, Elsevier, pp. 13, 2011, Vol. 35, ISSN: 0141-9331, DOI: 10.1016/j.micpro.2010.09.006
- **CASU M.R.**, "Half-Buffer Retiming and Token Cages for Synchronous Elastic Circuits", IET COMPUTERS & DIGITAL TECHNIQUES, IET, pp. 13, 2011, Vol. 5, ISSN: 1751-8601, DOI: 10.1049/iet-cdt.2010.0116
- Tota S., **CASU M.R.**, Ruo Roch M., Macchiarulo L., Zamboni M., "A Case Study for NoC Based Homogeneous MPSoC Architectures", IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE, pp. 5, 2009, Vol. 17, ISSN: 1063-8210, DOI: 10.1109/TVLSI.2008.2011239
- Crepaldi M., **CASU M.R.**, Graziano M., Zamboni M., "A Mixed-Signal Demodulator for a Low-Complexity IR-UWB Receiver: Methodology, Simulation and Design", INTEGRATION, Elsevier, pp. 14, 2009, Vol. 42, ISSN: 0167-9260, DOI: 10.1016/j.vlsi.2008.07.005
- **CASU M.R.**, Macchiarulo L., "Adaptive Latency Insensitive Protocols and Elastic Circuits with Early Evaluation: A Comparative Analysis", ELECTRONIC NOTES IN THEORETICAL COMPUTER SCIENCE, Elsevier, pp. 16, 2009, Vol. 245, ISSN: 1571-0661, DOI: 10.1016/j.entcs.2009.07.027
- **CASU M.R.**, Graziano M., Zamboni M., "A Fully Differential Digital CMOS Pulse UWB Generator", CIRCUITS SYSTEMS AND SIGNAL PROCESSING, Springer, pp. 16, 2009, Vol. 28, ISSN: 0278-081X, DOI: 10.1007/s00034-009-9101-z
- **CASU M.R.**, Crepaldi M., Graziano M., "A VHDL-AMS Simulation Environment for an UWB Impulse Radio Transceiver", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS. I, REGULAR PAPERS, IEEE, pp. 14, 2008, Vol. 55, ISSN: 1549-8328, DOI: 10.1109/TCSI.2008.916402
- **CASU M.R.**, Macchiarulo L., "Adaptive Latency Insensitive Protocols", IEEE DESIGN & TEST OF COMPUTERS, IEEE, pp. 442-452, 2007, Vol. 24, ISSN: 0740-7475, DOI: 10.1109/MDT.2007.152
- **CASU M.R.**, Macchiarulo L., "Floorplanning with Wire Pipelining in Adaptive Communication Channels", IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, IEEE, pp. 9, 2006, Vol. 12, ISSN: 0278-0070, DOI:



10.1109/TCAD.2006.882590

- **CASU M.R.**, Durisi G., "Implementation Aspects of a Transmitted-Reference UWB Receiver", *WIRELESS COMMUNICATIONS AND MOBILE COMPUTING*, Wiley, pp. 537-549, 2005, Vol. 5, ISSN: 1530-8669, DOI: 10.1002/wcm.309
- **CASU M.R.**, Macchiarulo L., "Throughput-Driven Floorplanning with Wire Pipelining", *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS*, IEEE, pp. 13, 2005, Vol. 24, ISSN: 0278-0070, DOI: 10.1109/TCAD.2005.846371
- **CASU M.R.**, Graziano M., Masera G., Piccinini G., Zamboni M., "An Electromigration and Thermal Model of Power Wires for a Priori High-Level Reliability Prediction", *IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS*, IEEE, pp. 10, 2004, Vol. 12, ISSN: 1063-8210, DOI: 10.1109/TVLSI.2004.825599
- Graziano M., **CASU M.R.**, Masera G., Piccinini G., Zamboni M., "Effects of Temperature in Deep-Submicron Global Interconnect Optimization in Future Technology Nodes", *MICROELECTRONICS JOURNAL*, Elsevier, pp. 9, 2004, Vol. 35, ISSN: 0959-8324, DOI: 10.1016/j.mejo.2004.06.017
- **CASU M.R.**, Graziano M., Masera G., Piccinini G., Zamboni M., "Coupled electro-thermal modeling and optimization of clock networks", *MICROELECTRONICS JOURNAL*, Elsevier, pp. 11, 2003, Vol. 34, ISSN: 0959-8324, DOI: 10.1016/S0026-2692(03)00208-8
- **CASU M.R.**, "Reduced clock swing domino logic", *ELECTRONICS LETTERS*, IEE, 2002, Vol. 38, ISSN: 0013-5194

Attività didattica

- Titolare dei seguenti insegnamenti presso il Politecnico di Torino
 - "Sistemi Elettronici", laurea in Ing. Meccatronica e laurea in Ing. Informatica, continuativamente per **7 anni, dall'AA 2004-05 all'AA 2010-11.**
 - "Dispositivi e Tecnologie Elettroniche", laurea in Ing. delle Telecomunicazioni, continuativamente per **7 anni, dall'AA 2004-05 all'AA 2010-11.**
 - "Sistemi Integrati", laurea magistrale in Ing. Elettronica, continuativamente per **5 anni, dall'AA 2005-06 all'AA 2009-10.**
 - "Programmable Electronic Systems" (in inglese), laurea magistrale in Ing. Elettronica e laurea magistrale in Ing. delle Telecomunicazioni, continuativamente per **4 anni, dall'AA 2011-12 a oggi.**
- Relatore di 55 tesi di laurea presso il Politecnico di Torino

TORINO 19/5/2015



